

3mm × 3mm QFN16封装健康级，
低功耗单导联心电图模拟前端（AFE）

1 特点

- ✓ 完全集成的一体化芯片解决方案，外部组件少
- ✓ 每通道工作电流70 μA，极低功耗
- ✓ 可选配第三个RLD电极
- ✓ 集成滤波器，带宽可编程，确保临床级波形
- ✓ <100 ms 快速恢复时间
- ✓ 支持直流导联脱落/导通检测
- ✓ 1.8 V 核心电源, 1.8 V/3.3 V数字IO电源
- ✓ 灵活支持检测/待机/关机多种功耗模式
- ✓ 模拟端集成基线漂移消除功能
- ✓ 典型共模抑制比（CMRR）达105 dB
- ✓ 单端模拟输出
- ✓ ±8 kV人体模型（HBM）静电防护等级

2 应用程序

可穿戴设备

- 智能手表/手环
- 智能健康服装
- ECG监测绑带
- 远程健康监测卡

健康监测场景

- 健身器材
- 自行车
- 智能汽车

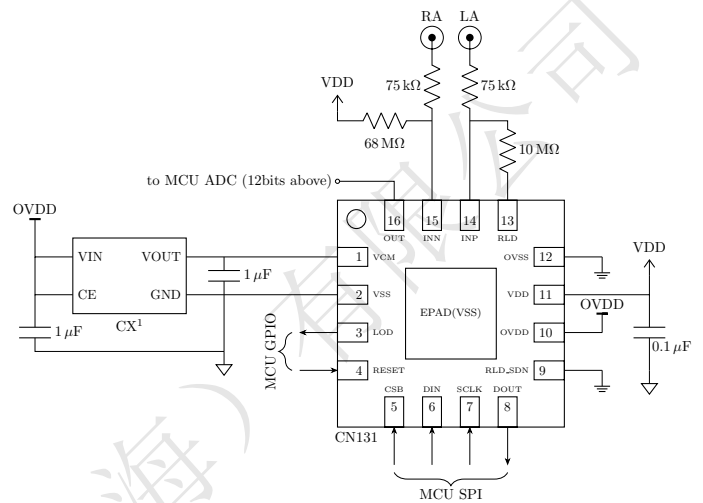


图 1: 应用亮点

3 描述

CN131是一款全集成单芯片解决方案，适用于心电图（ECG）或类似的生物电势采集场景。它专为在存在噪声或不利环境（如强工频干扰、运动干扰或电极放置影响）的条件下，对微弱ECG信号进行放大与滤波而设计。可轻松搭配内置12位ADC的微控制器，对单端模拟输出信号进行进一步采集与处理。

凭借高输入阻抗、无需第三路右腿驱动（RLD）电极即可实现的高共模抑制比（CMRR），以及出色的直流输入失衡电压耐受能力，该芯片支持双干电极单导联ECG采集，且波形质量优异。

芯片通过SPI接口读写配置寄存器，可实现临床级带宽选择、16级可编程增益等功能，便于绝大多数通用微控制器（MCU）进行编程控制。

目录

1	特点	1	7.3	右腿驱动 (RLD) 电路	8
2	应用程序	1	7.4	直流导联脱落检测 (LOD)	8
3	描述	1	7.5	功耗模式	8
4	修订历史	2	7.6	SPI 接口	9
5	引脚配置与功能	3	7.6.1	片选 (CSB)	9
6	规格参数	4	7.6.2	串行时钟 (SCLK)	9
6.1	绝对最大额定值	4	7.6.3	数据输入 (DIN)	9
6.2	ESD 额定值	4	7.6.4	数据输出 (DOUT)	9
6.3	电气特性	4	7.6.5	RREG: 读取寄存器	9
6.4	时序特性	7	7.6.6	WREG: 写入寄存器	9
7	详细描述	8	7.6.7	SPI 复位	9
7.1	概述	8	8	寄存器定义	10
7.2	生物电势采集通道	8	8.1	CONFIG: 配置寄存器 (address = 00h)	10
7.2.1	RFI 滤波器	8	8.2	CH_SET: 通道设置寄存器 (address = 01h)	11
7.2.2	可编程增益	8	9	应用信息	12
7.2.3	快速恢复电路	8	9.1	典型应用电路	12
7.2.4	共模电压	8	10	包装外形图	13
			11	订购指南	14

4 修订历史

12/2023-Rev.2.0: 新版本

07/2024-Rev.2.1: 部分内容更新

04/2026-Rev.3.0: 更新应用电路、详细说明及产品特性

3mm × 3mm QFN16封装健康级,
低功耗单导联心电图模拟前端 (AFE)

5 引脚配置与功能

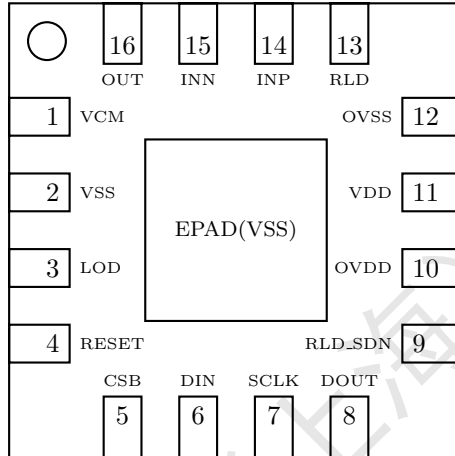


图 2: QFN16 引脚配置

表 1: QFN16 pin function description

序号	名称	类型	说明
1	VCM	模拟输入	共模电压输入，需连接至电源中点参考电位
2	VSS	电源	核心电源接地
3	LOD	数字输出	导联脱落检测输出，高电平有效，指示导联脱落状态
4	RESET	数字输入	复位输入，高电平有效，复位配置寄存器与SPI状态
5	CSB	数字输入	片选输入，低电平有效，使能SPI数据传输
6	DIN	数字输入	串行数据输入，在SCLK下降沿被器件采样
7	SCLK	数字输入	串行时钟输入，为SPI数据输入/输出提供时钟
8	DOUT	数字输出	串行数据输出，在SCLK上升沿切换状态
9	RLD_SDN	数字输入	右腿驱动关断控制输入，高电平有效，关断RLD功能
10	OVDD	电源	IO电源，支持1.8 V/3.3 V.
11	VDD	电源	核心电源, 1.8 V.
12	OVSS	电源	IO电源接地.
13	RLD	模拟输出	右腿驱动输出，启用RLD功能时连接至驱动电极
14	INP	模拟输入	ECG通道正相输入，连接至输入电极
15	INN	模拟输入	ECG通道反相输入，连接至输入电极
16	OUT	模拟输出	ECG通道输出，单端输出
EPAD	VSS	电源	裸露焊盘，连接至核心电源地

6 规格参数

6.1 绝对最大额定值

表 2: 绝对最大额定值

	最小值	最大值	单位
VDD 至 VSS	-0.1	1.9	V
OVDD 至 VSS	-0.3	3.6	V
模拟输入引脚对VSS	-0.1	取(1.9, VDD + 0.1)中较小	V
数字输入引脚对 VSS	-0.3	取(3.6, OVDD + 0.3)中较小	V
除电源引脚外, 任意引脚的输入电流		±10	mA

所列“绝对最大额定值”下的应力可能对产品造成永久性损坏。此仅为应力额定值, 并不表示产品在这些或本规格书操作章节所规定的任何其他条件下能保证正常工作。长时间在最大工作条件之外运行可能会影响产品可靠性。

6.2 ESD 额定值

表 3: ESD 额定值

	数值	单位	
静电放电	人体模型: 所有引脚均符合 ESDA/JEDEC JS-001-2017 标准 充电器件模型: 所有引脚均符合 ESDA/JEDEC JS-002-2018 标准	±8 ±1	kV kV

6.3 电气特性

表 4: 电气特性

除非另有说明, 否则所有参数均在以下条件下测试: $V_{VDD} = 1.8V$, VCM 引脚电压 (V_{VCM}) = $V_{VDD}/2$, $R_{VCM} = 100k\Omega$, $C_{VCM} = 10\mu F$ 和 $G_{CH} = 480$, 仅在 $25^{\circ}C$ 环境下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
ECG 通道						
交流差分输入范围	$V_{in,AC}$	$V_{in,DC} = 0V$, $V_{in,CM} = 0V$, THD < 0.3%, $G_{CH} = 60$		±10		mV _{pp}
直流差分输入范围	$V_{in,DC}$	$V_{in,AC} = 2mV_{pp}$, $V_{in,CM} = 0V$, THD < 0.3%		±500		mV
共模输入范围	$V_{in,CM}$	相对于 V_{VCM} , $V_{in,DC} = 0V$, $V_{in,AC} = 0V$, THD < 0.3%		±1.2		V _{pp}
共模抑制比	CMRR	原阻抗 0Ω , $f_{in,CM} = 50Hz$, $V_{in,AC} = 0V$, $V_{in,DC} = 0V$, $V_{in,CM} = 600mV_{pp}$, BW = 4-40Hz	95	105		dB

3mm × 3mm QFN16封装健康级,
低功耗单导联心电图模拟前端 (AFE)

表 4: 电气特性 (续表)

除非另有说明, 否则所有参数均在以下条件下测试: $V_{VDD} = 1.8V$, VCM 引脚电压 (V_{VCM}) = $V_{VDD}/2$, $R_{VCM} = 100k\Omega$, $C_{VCM} = 10\mu F$ 和 $G_{CH} = 480$, 仅在 25°C 环境下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
输入参考噪声	V_n	BW = 4-40Hz	1.4			μV_{rms}
		BW = 0.05-300Hz	2.6			
输入阻抗	Z_{in}	差分模式	40 8			G Ω pF
		共模模式	20 16			
总谐波失真	THD	$V_{in,AC} = \pm 10mV_{pp}$, $f_{in} = 10Hz$, $V_{in,DC} = 0V$, $V_{in,CM} = 0V$, $G_{CH} = 60$	0.3			%
增益设置	G_{CH}	可编程	60 至 960			
高通截止频率	f_{HP}	可编程	0.05, 4			Hz
低通截止频率	f_{LP}	可编程	40, 55, 150, 300			Hz
通道增益误差	G_{err}	$V_{in,AC} = \pm 2mV_{pp}$, $f_{in} = 10Hz$, BW = 0.05-300Hz	-10	+10		%
快速恢复建立时间	T_{rec}		100			ms
电源抑制比	PSRR	$f_{PS} = 50Hz$	82			dB
最大输出负载电容	C_{load}		600			pF
导联脱落检测 (LOD)						
比较器阈值电压	$V_{th,LOD}$		1.5			V
迟滞电压	$V_{hyst,LOD}$		125			mV
数字输入/输出						
输入高电平电压	V_{IH}	$V_{OVDD} = 1.8V$	1.5			V
		$V_{OVDD} = 3.3V$	3.0			
输入低电平电压	V_{IL}	$V_{OVDD} = 1.8V$	0.3			V
		$V_{OVDD} = 3.3V$	0.3			
输出高电平电压	V_{OH}	$V_{OVDD} = 1.8V$	1.8			V
		$V_{OVDD} = 3.3V$	3.3			
输出低电平电压	V_{OL}	$V_{OVDD} = 1.8V$	0			V
		$V_{OVDD} = 3.3V$	0			
系统规格						
核心电源电压范围	V_{VDD}		1.7	1.8	1.9	V
IO电源电压范围	V_{OVDD}		1.7	1.8	3.6	V

3mm × 3mm QFN16封装健康级,
低功耗单导联心电图模拟前端 (AFE)

表 4: 电气特性 (续表)

除非另有说明, 否则所有参数均在以下条件下测试: $V_{VDD} = 1.8V$, VCM 引脚电压 (V_{VCM}) = $V_{VDD}/2$, $R_{VCM} = 100k\Omega$, $C_{VCM} = 10\mu F$ 和 $G_{CH} = 480$, 仅在 $25^{\circ}C$ 环境下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
核心电源电流	$I_{supply,VDD}$	传感模式, RLD_SDN = low		80		μA
		传感模式, RLD_SDN = high		70		
		待机模式		7		
		关断模式		0.5		
IO 电源电流	$I_{supply,OVDD}$				1	μA
温度						
工作温度范围			0		+70	$^{\circ}C$

6.4 时序特性

表 5: 时序特性

测试条件: 25 °C; $D_{OUT} = 20\text{pF} \parallel 100\text{k}\Omega$; $V_{VDD} = 1.8\text{V}$, $V_{OVDD} = 1.8\text{V}$

符号	描述	最小值	典型值	最大值	单位
t_{SCLK}	SCLK 时钟周期	50			ns
t_{CSSC}	CSB 变低至第一个 SCLK 的建立时间	6			ns
$t_{SPWH,L}$	SCLK 高电平和低电平脉冲宽度	15			ns
t_{DIST}	DIN 有效至 SCLK 下降沿: 建立时间	10			ns
t_{DIHD}	SCLK 下降沿后 DIN 保持有效: 保持时间	10			ns
t_{DOPD}	SCLK 上升沿至 DOUT 有效			12	ns
t_{CSH}	CSB 高电平脉冲宽度	2			ns
t_{CSDOD}	CSB 变低至 DOUT 开始驱动	10			ns
t_{SCCS}	第八个 SCLK 下降沿至 CSB 变高	3			ns
$t_{SDECODE}$	命令解码时间	4			ns
t_{CSDOZ}	CSB 变高至 DOUT 变为高阻态			10	ns

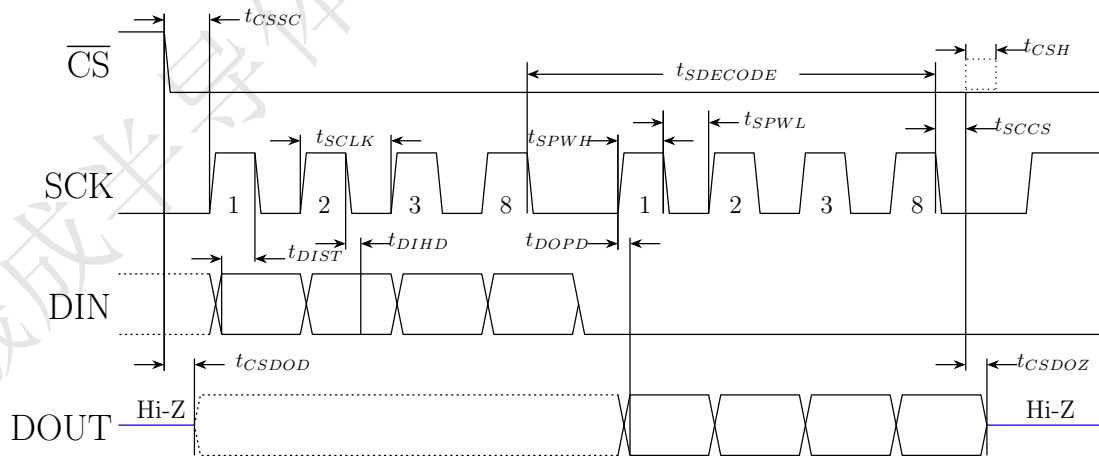


图 3: Serial Interface Timing

7 详细描述

7.1 概述

CN131 是一款全集成前端芯片，用于心电 (ECG) 或其他生物电势 (如肌电信号 EMG、脑电信号 EEG 等) 信号的调理处理。

该芯片包含专用生物电势采集通道、直流导联脱落检测功能，以及可选的右腿驱动电路。

7.2 生物电势采集通道

生物电势采集通道是模拟前端中最重要的部分，决定了采集到的生物电势信号的质量。CN131 内置了由 CyzurTech® 公司开发的专用放大通道，包含射频干扰 (RFI) 滤波器、精心设计的仪表放大器 (IA)、可编程增益放大器 (PGA) 等组件。

该芯片最差情况下仍可达 95dB 以上的共模抑制比，能够在市电干扰等令人困扰的恶劣环境中抑制共模噪声。

基线漂移在模拟端得到大幅消除，且输入噪声水平足够低，可实现临床级波形质量。

集成带通滤波器具备可编程带宽，可适配多种应用方案 (例如，配置 0.05Hz 高通极点以确保 0.67Hz-40Hz 的临床带宽；配置 4Hz 高通极点以适配运动相关应用)。

该芯片每通道功耗维持在 70 μ A，凭借高输入阻抗 (>20 G Ω) 以及较大的直流输入失衡电压耐受能力 (\pm 500 mV)，支持干电极使用。

7.2.1 RFI 滤波器

在存在强射频信号的应用场景中，射频整流现象通常是一个干扰问题。CN131 的每个输入端均内置低通滤波器，可抑制频率高于 1 MHz 的信号。

强烈建议在每个输入端串联一只 75 k Ω 或 100 k Ω 的电阻，以在低频 (<40 Hz) 条件下获得最佳射频干扰抑制效果。

7.2.2 可编程增益

芯片通过 SPI 接口提供 16 级可编程增益设置，基础增益系数为 60，各级增益为 2 的倍数关系。

更高的增益可将 ECG 信号放大至更精细的幅度，抑制 MCU ADC 噪声对通道输入的影响，但同时会对工频干扰更敏感 (模拟输出端信号更易饱和)。

对于心电应用，建议根据工频环境条件或不同导联配置，选择 120 倍或 240 倍增益。

7.2.3 快速恢复电路

由于集成高通滤波器采用了低截止频率，信号可能需要数秒时间才能稳定。这种稳定时间会在阶跃响应后 (例如首次连接电极时) 给用户带来延迟。芯片内部集成了快速恢复功能，ECG 通道可在 100 ms 内从异常状态恢复，并重新稳定至理想工作点。

该功能类似模拟复位，用户需在恢复后再次解除复位，才能连续采集 ECG 信号。

功能由 SPI 接口控制，更多细节详见 SPI 接口章节。

7.2.4 共模电压

CN131 需搭配定制 CX 芯片生成电源中点共模电压，为 VCM 引脚提供驱动 (VCM 引脚内部无缓冲器)。

ECG 通道的输出电压与内部参考电压，均以此电压为参考基准。

7.3 右腿驱动 (RLD) 电路

RLD 电路用于驱动连接在人体上的第三电极。对于 CN131，该电路为可选配置，主要有两个作用：a) 将人体电位驱动至合适的电源中点直流电压，确保 ECG 通道正常工作；b) 降低人体上的共模干扰，从而提升系统的共模抑制能力。

由于 ECG 通道本身具备高共模抑制比 (CMRR)，该 RLD 电路未采用常规的反馈与注入设计方案，因此省去了 RLDFB 反馈引脚，也无需在环路中额外配置反馈电容或电阻。

7.4 直流导联脱落检测 (LOD)

直流导联脱落检测模式可用于两电极或三电极配置。

该模式通过检测仪表放大器的任一输入电压是否在正电源轨 0.2 V 范围内来工作。

若环境中存在较强的工频干扰，LOD 信号可能会根据干扰强度，呈现出特定占空比的 50/60Hz 脉冲波形。用户需通过软件或硬件 (更省电) 进行占空比检测处理。

7.5 功耗模式

CN131 支持三种功耗模式：传感模式、关断模式和待机模式，均可通过 SPI 接口进行编程配置。

传感模式：ECG 通道与 LOD 电路持续工作，检测导联是否脱落。

关断模式：所有模拟模块关闭，功耗降至最低水平。

待机模式：LOD 电路持续检测导联连接状态，ECG 通道关闭。该模式专为对低功耗要求严苛的便携应用设计，

待机模式下仅消耗 $7\mu\text{A}$ 电流。当电极断开时，微控制器可进入睡眠模式，LOD 信号作为中断源唤醒微控制器。

三种功耗模式下，SPI 接口均保持正常工作状态。

7.6 SPI 接口

兼容 SPI 的串行接口由 4 个信号组成：CSB、SCLK、DIN 和 DOUT。该接口用于读写寄存器，从而控制 CN131 的运行。接口支持两种命令：RREG（读寄存器）和 WREG（写寄存器），二者均为多字节命令，SPI 传输必须遵循严格的格式才能成功执行。

7.6.1 片选(CSB)

CSB 用于选中 CN131 进行 SPI 通信。在整个串行通信过程中，CSB 必须保持低电平。当 CSB 置高时，SCLK 与 DIN 信号将被忽略，DOUT 进入高阻态。

7.6.2 串行时钟 (SCLK)

SCLK 是 SPI 串行时钟信号。该信号采用施密特触发输入机制，用于在 SCLK 时钟脉冲沿上，将指令移位输入并将数据移位输出至 CN131 的 DIN 和 DOUT 引脚。尽管输入信号具备迟滞特性，仍建议保持 SCLK 信号的清洁，以防止意外触发时钟事件。在通过 SCLK 传输指令时，需确保整组时钟周期均已按指令格式发送完毕。SCLK 脉冲之间的时序要求可相对宽松，但数据传输必须严格遵循指令格式。若接口进入未知状态，请置高 RESET 信号以复位传输状态机与内部寄存器。

7.6.3 数据输入 (DIN)

数据输入引脚 (DIN) 需配合 SCLK 使用，用于向 CN131 写入指令（操作码）与寄存器数据。设备会在 SCLK 的下降沿锁存 DIN 引脚上的数据。

7.6.4 数据输出 (DOUT)

数据输出引脚 (DOUT) 需配合 SCLK 使用，用于从 CN131 读取寄存器数据。数据会在 SCLK 的上升沿从 DOUT 引脚移出。当 CSB 为高电平时，DOUT 进入高阻

态。

7.6.5 RREG: 读取寄存器

RREG 指令为双字节操作码结构，操作码后紧跟寄存器数据输出。第一个字节包含指令操作码与寄存器地址。操作码的第二个字节用于指定待读取寄存器的数量（数值为实际数量-1）。

第一个操作码字节：001r rrrr，其中 r rrrr 为起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 为待读取寄存器数量-1。

该操作的第 17 个 SCLK 上升沿，会将第一个寄存器的最高有效位 (MSB) 时钟输出，如图 4 所示。RREG 指令可在任意时刻发送。

7.6.6 WREG: 写入寄存器

WREG 指令为双字节操作码结构，操作码后紧跟待写入的寄存器数据输入。第一个字节包含指令操作码与寄存器地址。操作码的第二个字节用于指定待写入寄存器的数量（数值为实际数量-1）。

第一个操作码字节：010r rrrr，其中 r rrrr 为起始寄存器地址。

第二个操作码字节：000n nnnn，其中 n nnnn 为待写入寄存器数量-1。

操作码字节之后，紧随寄存器数据输入（采用最高有效位优先，即 MSB-first 格式），如图 5 所示。WREG 指令可在任意时刻发送。

7.6.7 SPI 复位

芯片内置上电复位 (POR) 电路模块，上电后会在 $<100\text{ms}$ 以内完成 SPI 接口复位。也可通过拉高 RESET 信号，手动复位 SPI 接口。

复位完成后，SPI 传输状态机与内部寄存器均会恢复为默认值。

由于 CN131 的 SPI 传输状态与内部寄存器不会在每次 SPI 事务之间自动清零，**强烈要求**将 RESET 引脚连接至 MCU 的 GPIO，并在每次系统初始化时执行复位操作。

3mm × 3mm QFN16封装健康级,
低功耗单导联心电图模拟前端 (AFE)

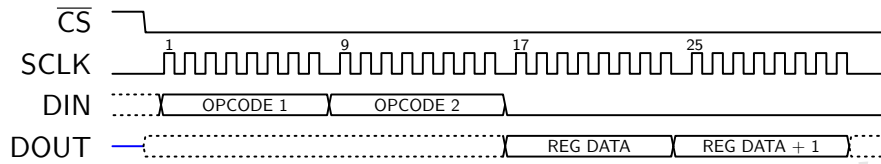


图 4: RREG命令示例: 从寄存器00h开始读取两个寄存器 (OPCODE1=0010 0000, OPCODE2=0000 0001)

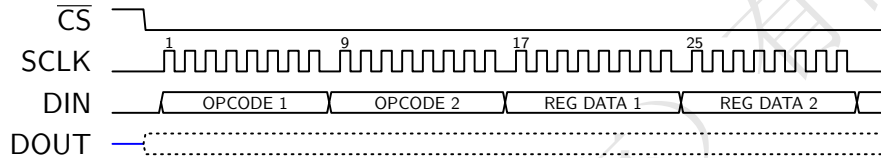


图 5: WREG命令示例: 从寄存器00h开始写入两个寄存器 (OPCODE1=0100 0000, OPCODE2=0000 0001)

8 寄存器定义

表 6: 寄存器分配

ADDRESS	REGISTER	RESET VALUE	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
00h	CONFIG	00h	N/A	PD	STANDBY	N/A	N/A	N/A	N/A	N/A
01h	CH.SET	00h	CH.FR	CH.HP	CH.LP[1]	CH.LP[0]	CH.GAIN[3]	CH.GAIN[2]	CH.GAIN[1]	CH.GAIN[0]

8.1 CONFIG: 配置寄存器 (address = 00h)

该寄存器用于配置设备的功耗模式。

表 7: CONFIG: 配置寄存器字段说明

Bit 7	不适用
Bit 6	PD: 芯片关断控制 此位控制芯片进入关断模式, 其优先级高于STANDBY 位。 0 = 芯片退出关断模式 (默认值) 1 = 芯片进入关断模式
Bit 5	STANDBY: 芯片待机模式 此位控制芯片进入待机模式, 其优先级低于PD 位。 0 = 芯片进入检测模式 (默认值) 1 = 芯片进入待机模式
Bits[4:0]	不适用

8.2 CH.SET: 通道设置寄存器 (address = 01h)

该寄存器用于配置传感模式下的 ECG 通道。

表 8: CH.SET: 通道设置寄存器位域说明

Bit 7	CH.FR: 通道快速恢复控制
	此位使能通道的快速恢复模式，拥有最高优先级。 0 = 禁用快速恢复（默认值） 1 = 使能快速恢复
Bit 6	CH.HP: 通道高通极点选择
	此位选择通道的高通截止频率。 0 = 4Hz（默认值） 1 = 0.05Hz
Bits[5:4]	CH.LP[1:0]: 通道低通极点选择
	此位选择通道的低通截止频率。 00 = 40Hz（默认值） 01 = 55Hz 10 = 150Hz 11 = 300Hz
Bits[3:0]	CH.GAIN[3:0]: 通道增益选择
	此位选择通道的增益值 0000 = 60（默认值） 0001 = 120 0010 = 180 0011 = 240 0100 = 300 0101 = 360 0110 = 420 0111 = 480 1000 = 540 1001 = 600 1010 = 660 1011 = 720 1100 = 780 1101 = 840 1110 = 900 1111 = 960

3mm × 3mm QFN16封装健康级,
低功耗单导联心电图模拟前端 (AFE)

10 包装外形图

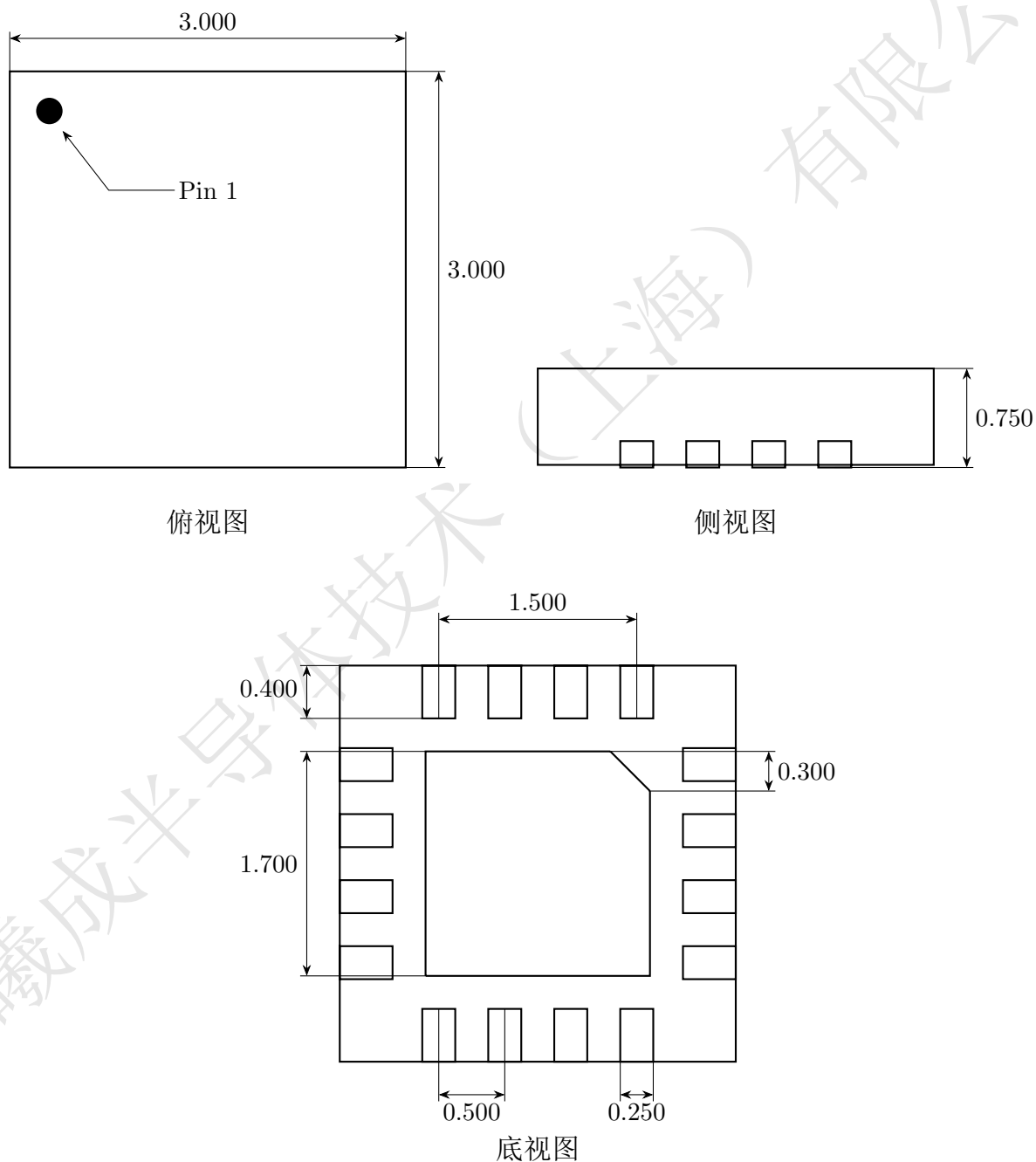
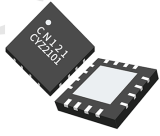
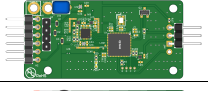


图 8: 16引脚四极扁平无引线封装 (QFN16)
尺寸以毫米表示

3mm × 3mm QFN16封装健康级,
低功耗单导联心电图模拟前端 (AFE)

11 订购指南

型号	类型	描述	封装/尺寸	图片
CN131	芯片	单通道模拟前端芯片	QFN16 3 × 3 mm	
CNM8000	模组	手握式运动心率监测模组	PCBA 50mm×24mm×13mm	
CNM8600	模组	手握式运动心率监测模组配备5.3kHz无线心率接收	PCBA 50mm×24mm×13mm	